

<p>(51) 国際特許分類6 H04J 13/00</p>	<p>A1</p>	<p>(11) 国際公開番号 WO98/59451</p> <p>(43) 国際公開日 1998年12月30日(30.12.98)</p>
<p>(21) 国際出願番号 PCT/JP97/03224</p> <p>(22) 国際出願日 1997年9月12日(12.09.97)</p> <p>(30) 優先権データ 特願平9/164202 1997年6月20日(20.06.97) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA)[JP/JP] 〒100 東京都千代田区丸の内二丁目2番3号 Tokyo, (JP)</p> <p>(72) 発明者 ; および</p> <p>(75) 発明者 / 出願人 (米国についてのみ) 村井英志(MURAI, Hideshi)[JP/JP] 田近寿夫(TACHIKA, Hisao)[JP/JP] 〒100 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo, (JP)</p> <p>(74) 代理人 弁理士 田澤博昭, 外(TAZAWA, Hiroaki et al.) 〒100 東京都千代田区霞が関三丁目5番1号 霞が関IHFビル4階 Tokyo, (JP)</p>		<p>(81) 指定国 AL, AU, BA, BB, BG, BR, CA, CN, CU, CZ, EE, GE, HU, ID, IL, IS, JP, KR, LC, LK, LR, LT, LV, MG, MK, MN, MX, NO, NZ, PL, RO, SG, SI, SK, TR, TT, UA, US, UZ, VN, ARIPO特許 (GH, KE, LS, MW, SD, SZ, UG, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI特許 (BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG).</p> <p>添付公開書類 国際調査報告書</p>
<p>(54)Title: METHOD AND DEVICE FOR VARIABLE-SPEED TRANSMISSION</p> <p>(54)発明の名称 可変速度伝送方法および可変速度伝送装置</p> <div data-bbox="178 1260 1429 1764"> <p>a ... user data b ... control data 1 ... framing section 2 ... FEC interleaver 3 ... slotting section 4 ... adaptive modulating section 4-1, 4-2 ... biorthogonal signal generating section BORT c ... control signal 5 ... QPSK spreader d ... short code e ... long code f ... pilot</p> </div> <p>(57) Abstract</p> <p>A variable-speed transmitter which transmits data signals by performing diffusive modulation on the signals by using a diffusive code sequence is provided with means (4, 5, and 6) which transmit the data signals by performing diffusive modulation on the signals in the state of a binary sequence, by using biorthogonal signals when the transmission rate of the data signals is higher than a specified rate (128 kbps).</p>		

データ信号を拡散符号系列を用いて拡散変調して送信する可変速度伝送装置であり、データ信号の伝送レートが所定の伝送レート（128 kbps）以上の場合は、陪直交信号を用いて前記データ信号を2値系列の状態で拡散変調し伝送する手段（4，5，6）を備えた可変速度伝送装置。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AL	アルバニア	FI	フィンランド	LK	スリ・ランカ	SI	スロヴェニア
AM	アルメニア	FR	フランス	LR	リベリア	SK	スロヴァキア
AT	オーストリア	GA	ガボン	LS	レソト	SL	シエラ・レオネ
AU	オーストラリア	GB	英国	LT	リトアニア	SN	セネガル
AZ	アゼルバイジャン	GD	グレナダ	LU	ルクセンブルグ	SZ	スワジランド
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	LV	ラトヴィア	TD	チャード
BB	バルバドス	GH	ガーナ	MC	モナコ	TG	トーゴ
BE	ベルギー	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BF	ブルキナ・ファソ	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BG	ブルガリア	GW	ギニア・ビサウ	MK	マケドニア旧ユーゴスラヴィア	TR	トルコ
BJ	ベナン	GR	ギリシャ		共和国	TT	トリニダード・トバゴ
BR	ブラジル	HR	クロアチア	ML	マリ	UA	ウクライナ
BY	ベラルーシ	HU	ハンガリー	MN	モンゴル	UG	ウガンダ
CA	カナダ	ID	インドネシア	MR	モーリタニア	US	米国
CF	中央アフリカ	IE	アイルランド	MW	マラウイ	UZ	ウズベキスタン
CG	コンゴ	IL	イスラエル	MX	メキシコ	VN	ヴェトナム
CH	スイス	IN	インド	NE	ニジェール	YU	ユーゴスラビア
CI	コートジボアール	IS	アイスランド	NL	オランダ	ZW	ジンバブエ
CM	カメルーン	IT	イタリア	NO	ノルウェー		
CN	中国	JP	日本	NZ	ニュージーランド		
CU	キューバ	KE	ケニア	PL	ポーランド		
CY	キプロス	KG	キルギスタン	PT	ポルトガル		
CZ	チェッコ	KP	北朝鮮	RO	ルーマニア		
DE	ドイツ	KR	韓国	RU	ロシア		
DK	デンマーク	KZ	カザフスタン	SD	スーダン		
EE	エストニア	LC	セントルシア	SE	スウェーデン		
ES	スペイン	LI	リヒテンシュタイン	SG	シンガポール		

## 明 細 書

## 可変速度伝送方法および可変速度伝送装置

## 技術分野

この発明は、C D M A方式の移動通信システムに用いるスペクトル拡散通信装置に関するもので、特に、安定した高速伝送を行うC D M A方式の可変速度伝送方法およびこの方法に基づく可変速度伝送装置に関するものである。

## 背景技術

第3世代の移動通信のシステム構築を目指して活発に研究開発が行われている。次世代システムでは、マルチメディア通信が主流になると考えられるため、大容量化および必要最小限の送信電力で、様々なレート of データをフレキシブルかつ高品質に伝送する機能が求められる。この次世代移動無線アクセスとして、スペクトル拡散通信を用いた多元接続方式、即ち、C D M A ( C o d e   D i v i s i o n   M u l t i p l e   A c c e s s、符号分割多元接続)方式が注目されている。

直接拡散によるスペクトル拡散通信は、情報信号に拡散符号を乗積することにより情報信号のスペクトルを広帯域に拡散し、情報信号帯域より広い伝送帯域で情報を伝送する通信であり、秘話性、耐干渉性、耐フェージング性、多元接続性などの特徴を有している。多元接続方式とは、複数の移動局が、基地局と同時に通信する接続方式のことである。スペクトル拡散通信の性能は、拡散率に依存する。拡散率とは、伝送帯域と情報信号帯域との比、即ち、拡散符号速度と情報伝送速度との比である。拡散率をデシベル ( d B ) 表示したものは、処理利得と呼ばれる。

例えば、情報伝送速度が10kbpsで拡散符号速度が1Mcps (chips per second) の場合、拡散率は100、処理利得は20dBとなる。

上記したように、スペクトル拡散通信を用いた多元接続方式はCDMAと呼ばれている。このCDMA方式では、ユーザあるいはチャネル毎に異なる拡散符号を使用し、拡散符号によりユーザあるいはチャネルを識別する。

CDMA方式は、チャネル容量（同一帯域でのチャネル数）がTDMA (Time Division Multiple Access、時分割多元接続) 方式など他の多元接続方式よりも優れることが、例えば、下記の文献において、ギルハウゼン等により報告されている。文献：“セルラーCDMAシステムの容量について”、アイ・イー・イー・イー・トランザクション・オン・ビークラー・テクノロジー、第40巻、2号、5月、1991年 (“On the Capacity of a Cellular CDMA System”、IEEE Transactions on Vehicular Technology vol. 40、No 2、May、1991)。

この他にも、CDMA方式は、全ての無線セル（無線ゾーン）において同一の周波数使用を許容するアクセス方式であることから、TDMA方式では困難であったダイバーシチ・ハンド・オフ（又は、ソフト・ハンド・オフ）が比較的容易に実現できる利点を有している。さらにTDMA方式では劣化原因となるマルチパス信号をRAKE受信により分離識別し、逆に効果的に合成できることから、少ない送信電力で優れた伝送品質を確保できるという特長も有している。

第1図は、従来のコヒーレント・マルチコード・DS-CDMA (Direct Sequence CDMA) における上りリンク送信系

を示すブロック図である。この上りリンク送信系では、1つのパケットフレームの長さは10msであり、ユーザデータとコントロールデータとが時間的に多重化されている。フレーム誤りを検出するため、16ビットCRC (Cyclic Redundancy Check) を用いて誤り検出符号化し、6ビットのテールビット (Tail) を付加し、拡散過程の一部に組込まれているレート1/3の畳み込み符号化を行っている。この従来例では、1フレーム毎に誤り検出処理が完結するので、パケット伝送への適用が可能な構造になっている。

第2図は、第1図に示す従来の上りリンク送信系におけるインタリーブ後の符号化データ (Coded Data) に対してフェージング推定の為のパイロットシンボルの挿入を示す説明図であり、図において、(a) は送信データの伝送レート (データレート) が32kbps以下の場合、(b) はデータレートが128kbps以下の場合を示す。第2図に示すように、ビットインタリーブ後に0.5ms毎のスロットに分割し、32(128)kbpsコードチャネルの時、4(16)ビットのパイロットを挿入し、データ変調 (QPSK) を行い (この時点で2(8)シンボルのパイロットシンボルとなる)、2重拡散コードで拡散変調している。この従来例では、ショート拡散コードとして直交ゴールド系列を、ロング拡散コードとしてゴールド系列を使用し、拡散変調にはBPSK (下りリンク)、OQPSK (上りリンク) を用いている。

第3図は、第1図に示す従来の上りリンク送信系におけるコヒーレント・マルチコード多重伝送におけるパイロットシンボルの挿入を示す説明図であり、図において、(a) はデータレートが所定のレート、例えば、32(128)kbpsより低い場合、(b) はデータレートが32(128)kbpsより高い場合を示す。高速レートのデータ伝送時

(32/128 kbps以上)には、送信データ系列を誤り訂正符号化・ビットインタリーブ後に複数のコードチャンネルに分割して、それぞれ独立にデータ変調・拡散変調する。この場合、レート1/3の畳み込み符号を内符号とし、外符号に1シンボルを8ビットとするリードソロモン符号RS(40, 34)を用いる連接符号化を適用している。伝搬路は、全コードチャンネルで共通であるので、第3図に示す様に、上りリンクでは、フェージング推定用のパイロットシンボルを第1コードチャンネルのみに挿入している。

上記した従来のコヒーレント・マルチコード・DS-CDMA(Direct Sequence CDMA)の上りリンク送信系に代表されるマルチコード多重のCDMA方式では、送信信号のデータレートが高速になるとパワーアンプの線形性を保持することが困難となり、隣接周波数帯への干渉量が増大するという課題があった。即ち、従来のマルチコード多重CDMA方式の通信装置では、送信信号のデータレートが高速になるにつれ、マルチコード多重化数が増大し、その結果、多重化後の包絡線の変動幅が大きくなる。電力増幅に使用されるパワーアンプは、通常、一定範囲内(線形帯域内)の振幅変動に対しては忠実に電力増幅を行うが、振幅変動幅がその限界を超えた場合には、入出力間の線形性を保持できなくなり、非線形性に起因する歪みが隣接周波数帯への干渉量の増大を招くという課題があった。

この発明は上記のような課題を解決するためになされたもので、データレートが高速の場合でも、パワーアンプの線形性を保持でき、簡単なハードウェア構成で、高品質のデータ伝送を提供可能な可変速度伝送方法およびこの可変速度伝送方法を用いた可変速度伝送装置を得ることを目的とする。

## 発明の開示

この発明に係る可変速度伝送装置は、データ信号の伝送レートが所定の伝送レート以上の場合は、陪直交信号を用いてデータ信号を2値系列の状態に拡散変調し伝送する手段を備えたものである。

このことによって、高速のデータレートの場合でもパワーアンプの線形性を保持することができ、簡単なハードウェア構成で隣接周波数帯への干渉を与えることなく高品質のデータ伝送を実行できる効果を奏する。

この発明に係る可変速度伝送装置は、データ信号に対し誤り訂正符号処理等の一連の信号処理を行う信号処理手段および前記信号処理手段の出力に対してシリアル／パラレル変換を行う第1のシリアル／パラレルコンバータをさらに備え、陪直交信号を用いて前記データ信号を2値系列の状態に拡散変調し伝送する手段は、前記第1のシリアル／パラレルコンバータから出力されるパラレル出力信号に対し、陪直交信号を用いて2値系列の状態に拡散変調し伝送するようにしたものである。

このことによって、高速のデータレートの場合でもパワーアンプの出力の線形性を保持することができ、簡単なハードウェア構成で隣接周波数帯への干渉を与えることなく高品質のデータ伝送を実行できる効果を奏する。

この発明に係る可変速度伝送装置は、データ信号をシリアル／パラレル変換する第2のシリアル／パラレルコンバータおよび前記第2のシリアル／パラレルコンバータから出力されるパラレルデータ信号のそれぞれに対して設けられ、所定の誤り訂正符号等の一連の信号処理を行う信号処理手段とをさらに備え、陪直交信号を用いて前記データ信号を2値系列の状態に拡散変調し伝送する手段は、前記信号処理手段から出力される出力信号に対し拡散変調し伝送するようにしたものである。

このことによって、高速のデータレートの場合でも、一連の信号処理速度は全て同一速度で行うことができハードウェア設計を容易に行え、更にパワーアンプの線形性を保持することができ、簡単なハードウェア構成で隣接周波数帯への干渉を与えることなく高品質のデータ伝送を実行できる効果を奏する。

この発明に係る可変速度伝送装置は、陪直交信号を用いてデータ信号を2値系列の状態で拡散変調し伝送する手段がWalsh関数を用いて陪直交信号を生成するようにしたものである。

このことによって、容易に陪直交信号を生成して送信、検波し、高品質のデータ伝送を実行できる効果を奏する。

この発明に係る可変速度伝送方法は、データ信号の伝送レートが所定の伝送レート以上の場合は、陪直交信号を用いてデータ信号を2値系列の状態で拡散変調し伝送するようにしたものである。

このことによって、高速のデータレートの場合でもパワーアンプの線形性を保持することができ、隣接周波数帯への干渉を与えることなく高品質のデータ伝送を実行できる効果を奏する。

この発明に係る可変速度伝送方法は、陪直交信号を得るためにWalsh関数を用いるようにしたものである。

このことによって、陪直交信号を容易に生成して送信、検波できる効果を奏する。

#### 図面の簡単な説明

第1図は従来のコヒーレント・マルチコード・DS-SSMにおける上りリンク送信系を示すブロック図である。

第2図は第1図に示す従来の上りリンク送信系における、インタリーブ後のパイロット挿入を示す説明図である。



第 3 図は第 1 図に示す従来の上りリンク送信系におけるコヒーレント・マルチコード多重伝送でのパイロットシンボルの挿入を示す説明図である。

第 4 図はこの発明の実施の形態 1 による可変速度伝送装置を示すブロック図である。

第 5 図は第 4 図に示した実施の形態 1 の可変速度伝送装置における陪直交信号発生部を示すブロック図である。

第 6 図は第 4 図に示した実施の形態 1 の可変速度伝送装置における他の陪直交信号発生部を示すブロック図である。

第 7 図は入力信号のデータレートが  $256 \text{ kbps}$  ( $K=2$ ) の場合の可変速度伝送装置を示すブロック図である。

第 8 図は入力信号のデータレートが  $384 \text{ kbps}$  ( $K=3$ ) の場合の可変速度伝送装置を示すブロック図である。

第 9 図は入力信号のデータレートが  $512 \text{ kbps}$  ( $K=4$ ) の場合の可変速度伝送装置を示すブロック図である。

第 10 図は入力信号のデータレートが  $128 \text{ kbps}$  の場合の可変速度伝送装置を示すブロック図である。

第 11 図は第 5 図に示す陪直交信号発生部の詳細を示すブロック図である。

第 12 図は第 6 図に示す陪直交信号発生部の詳細を示すブロック図である。

第 13 図はこの発明の実施の形態 2 による可変速度伝送装置を示すブロック図である。

第 14 図は第 13 図に示した実施の形態 2 の可変速度伝送装置において、入力信号のデータレートが  $128 \text{ kbps}$  の場合の構成を示すブロック図である。

第 1 5 図は第 1 3 図に示した実施の形態 2 の可変速度伝送装置において、入力信号のデータレートが 2 5 6 k b p s の場合の構成を示すブロック図である。

第 1 6 図は第 1 3 図に示した実施の形態 2 の可変速度伝送装置において、入力信号のデータレートが 3 8 4 k b p s の場合の構成を示すブロック図である。

第 1 7 図は第 1 3 図に示した実施の形態 2 の可変速度伝送装置において、入力信号のデータレートが 5 1 2 k b p s の場合の構成を示すブロック図である。

#### 発明を実施するための最良の形態

以下、この発明をより詳細に説明するために、この発明を実施するための最良の形態について、添付の図面に従って説明する。

##### 実施の形態 1 .

第 4 図は、この発明の実施の形態 1 による可変速度伝送装置を示すブロック図であり、図において、1 はユーザデータおよび制御データを入力してフレーム化するフレーミング部、2 は F E C ( F o r w a r d E r r o r C o r r e c t i o n : 誤り訂正符号化) 並びにインタリーバ ( 信号処理手段)、3 はスロット化部 ( 信号処理手段)、4 は適応変調部 ( 陪直交信号を用いてデータ信号を 2 値系列の状態に拡散変調し、伝送する手段) であり、例えば W a l s h 関数に基づいて陪直交信号を発生する複数の陪直交信号 ( B i - O r t h o g o n a l s i g n a l : B O R T ) 発生部 4 - 1 , 4 - 2 を備えている。5 は Q P S K ( Q u a r t e r n a r y P h a s e - S h i f t K e y i n g : Q P S K ) スプレッド、6 はパワーアンプ、7 はアンテナである。

第 5 図は、第 4 図に示した実施の形態 1 の可変速度伝送装置における

適応変調部 4 を構成する陪直交信号発生部 4-1, 4-2 を示すブロック図であり、図において、21 はシリアル／パラレルコンバータ（以下、S/P コンバータという：第 1 のシリアル／パラレルコンバータ）、22 はコントロール信号に従って Walsh 関数系列長を選択し、入力データに応じて直交信号を選択して発生する直交信号発生部である。23 は直交信号の極性を決定する EXOR（排他的論理和）回路である。

第 6 図は第 4 図に示した実施の形態 1 の可変速度伝送装置における適応変調部 4 を構成する他の陪直交信号発生部 4-1, 4-2 を示すブロック図である。第 5 図との違いは第 1 の S/P コンバータ 21 と直交信号発生部 22 との間にシンボルマッピング部 24 が存在する点である。シンボルマッピング部 24 は入力データと陪直交信号のマッピングを適正化するものであり、これにより伝送特性の向上が図れる。

第 7 図は入力信号のデータレートが 256 kbps ( $K=2$ ) の場合の可変速度伝送装置を示すブロック図、第 8 図は入力信号のデータレートが 384 kbps ( $K=3$ ) の場合の可変速度伝送装置を示すブロック図、第 9 図は入力信号のデータレートが 512 kbps ( $K=4$ ) の場合の可変速度伝送装置を示すブロック図、第 10 図は入力信号のデータレートが 128 kbps ( $K=1$ ) の場合の可変速度伝送装置を示すブロック図であり、それぞれ実施の形態 1 の可変速度伝送装置の各データレートにおける等価回路を示している。ここで、 $K$  は、陪直交信号に含まれる符号化ビット（符号化データ）数を示している。

第 11 図は、第 5 図に示す陪直交信号発生部 4-1, 4-2 の詳細 ( $K=4$  の場合) を示すブロック図である。第 11 図において、(a) は第 5 図に示した適応変調部 4-1, 4-2 を示しているブロック図であり、(b) は陪直交信号発生部 4-1, 4-2 へ入力される入力情報データと陪直交信号の出力データとの関係を示す説明図、(c) は、第 5

図に示した陪直交信号発生部 4-1, 4-2 の詳細を示すブロック図であり、図において、221~223 は論理積回路（以下、AND 回路という）、224 は EXOR 回路である。

第 4 図~第 11 図に示す実施の形態 1 の可変速度伝送装置は、データ信号を拡散符号系列を用いて拡散変調して送信する可変速度伝送装置であり、陪直交信号を用いてデータ信号の伝送を行うものである。データ信号の伝送レートが所定の伝送レート（例えば、128 kbps）を越えるレートである場合、適応変調部 4 内のそれぞれの陪直交信号発生部 4-1, 4-2 が、符号化データを Walsh 関数に極性を持たせた陪直交信号に変換し、その出力を QPSK スプレッドにて拡散変調する。即ち、2 値系列の陪直交信号が複数の符号化データを伝送するためマルチコード多重化時に生じる包絡線変動を伴わずに、効率よくデータ伝送を行うものである。

次に動作について説明する。

まず、第 4 図に示した実施の形態 1 の可変速度伝送装置におけるフレーミング部 1 は、所定のデータ伝送レートのユーザデータおよびコントロールデータを入力し、所定のフレーム時間に区切って出力する。所定のデータ伝送レートは、例えば、2.4, 4.8, 9.6, 14.4, 16, 19.2, 32, 64, 128, 384, 2048 kbps 等々である。この実施の形態 1 では、データレートが 128 kbps を越えた場合において、陪直交信号を用いてデータ信号を 2 値系列の状態で拡散・変調し、効率よくデータ伝送を実行することに特徴がある。

フレーミング部 1 から出力されたユーザデータおよびコントロールデータは、FEC インタリーバ 2 において誤り訂正符号化および送信順序の入れ替えが行われる。ここでは、1 フレーム毎に畳み込み符号化が行なわれる。スロット化部 3 は、FEC インタリーバ 2 において実行され

たインタリーブ処理後、データを所定時間毎のスロットに分割し、パイロットを挿入する。これらのフレーミング部 1、F E C インタリーバ 2、スロット化部 3 の機能および構成は従来のものと同様なので、ここでは説明を省略する。

パイロットが挿入されたスロットは、適応変調部 4 に入力される。適応変調部 4 では、データ伝送レートが 1 2 8 k b p s を越えるデータの各データ伝送レートの場合に応じて、コントロール信号に従って W a l s h 関数系列を選択し、入力される符号化データに応じ W a l s h 関数を選択し、E X O R による極性操作を実行した後に得られる陪直交信号を出力する。即ち、コントロール信号は、データに応じた K (符号化ビット数) を選択する。適応変調部 4 の機能および構成は後で詳細に説明する。

Q P S K スプレッタ 5 は、適応変調部 4 から出力された複数の符号化データ情報を有する 2 系統の陪直交信号を入力とし、ショートコードおよびロングコードを用いて Q P S K 拡散変調を行う。Q P S K スプレッタ 5 の機能および構成は従来のものと同様なので、ここでは説明を省略する。Q P S K スプレッタ 5 で Q P S K 拡散変調された信号は、直交搬送波を用いて Q P S K キャリア変調が実行された後、パワーアンプ 6 で増幅され、アンテナ 7 を送信される。

第 7 図は、入力信号のデータ伝送レートが 2 5 6 k b p s (  $K = 2$  ) の場合の可変速度伝送装置を示すブロック図である。スロット化部 3 からのデータの伝送レートが 2 5 6 k b p s の場合は、陪直交信号発生部 4 - 1, 4 - 2 内の S / P コンバータ 2 1 および直交信号発生部 2 2 は、入力データを 2 つの平行信号に分割して出力し、一方は W a l s h 関数の  $W 2 ( 0 )$  と  $W 2 ( 1 )$  のいずれか 1 つを選択して直交信号を生成し、得られた直交信号ともう一方の極性信号とを E X O R 回路 2 3

に入力させ、E X O R 回路 2 3 から陪直交信号を出力する。

第 8 図は、入力信号のデータレートが 3 8 4 k b p s (  $K = 3$  ) の場合の可変速度伝送装置を示すブロック図である。データレートが 3 8 4 k b p s の場合は、陪直交信号発生部 4 - 1 , 4 - 2 内の S / P コンバータ 2 1 および直交信号発生部 2 2 は、スロット化部 3 からの 2 系統の入力データをそれぞれ 3 つの平行信号として出力し、2 ビットで W a l s h 関数の  $W 4 ( 0 ) \sim W 4 ( 3 )$  のいずれか 1 つを選択して直交信号を生成し、得られた直交信号ともう 1 ビットの極性信号と E X O R 回路 2 3 に入力させ、E X O R 回路 2 3 から陪直交信号を出力する。

第 9 図は、入力信号のデータレートが 5 1 2 k b p s (  $K = 4$  ) の場合の可変速度伝送装置を示すブロック図である。データレートが 5 1 2 k b p s の場合は、陪直交信号発生部 4 - 1 , 4 - 2 内の S / P コンバータ 2 1 および直交信号発生部 2 2 は、スロット化部 3 からの 2 系統の入力データを 4 つの平行信号に分割し出力し、3 ビットで W a l s h 関数の  $W 8 ( 0 ) \sim W 8 ( 7 )$  のいずれか 1 つを選択して直交信号を生成し、得られた直交信号ともう 1 ビットの極性信号とを E X O R 回路 2 3 に入力させ、E X O R 回路 2 3 から陪直交信号を出力する。

第 1 0 図は、入力信号のデータレートが 1 2 8 k b p s (  $K = 1$  ) の場合の可変速度伝送装置を示すブロック図である。このデータレート以下の場合は、陪直交信号を生成することなく、従来のバースト伝送を用いて断続的にデータ伝送する。この場合の構成および動作は、従来のものと同じなのでその説明を省略する。しかしながら、入力信号のデータレートが 1 2 8 k b p s (  $K = 1$  ) であることをコントロール信号が示す場合、第 5 図に示す陪直交信号発生部 4 - 1 , 4 - 2 の構成において、入力信号を S / P コンバータ 2 1 内で何も操作させることなく通過させ、つまり、データレートが 1 2 8 k b p s 以下の場合に、S / P コン

バータ 2 1 内でシリアル／パラレル変換が行われないようにして、かつ直交信号発生部 2 2 の出力を常にロウレベルに設定するように構成することで、第 7 図～第 9 図に示した入力信号のデータレートが 2 5 6 k b p s (  $K = 2$  ) , 3 8 4 k b p s (  $K = 3$  ) , 5 1 2 k b p s (  $K = 4$  ) の場合と同一の構成にすることができる。

次に、この実施の形態 1 の可変速度伝送装置および可変速度伝送方法における適応変調部 4 を構成する陪直交信号発生部 4 - 1 , 4 - 2 の動作について説明する。適応変調部 4 を構成する陪直交信号発生部 4 - 1 , 4 - 2 の各動作に関し、以下では、入力信号のデータレートが 5 1 2 k b p s (  $K = 4$  ) の場合、つまり入力データが 4 入力ビット (  $d 0 \sim d 3$  ) で、1 系列の陪直交信号を発生する場合について説明を行う。その他の場合の動作は基本的に以下の説明と同様なので、ここでは説明を省略する。

適応変調部 4 内の各陪直交信号発生部 4 - 1 , 4 - 2 へ入力された入力データは、先ず、S / P コンバータ 2 1 により、4 ビットパラレルデータ (  $d 0$  ,  $d 1$  ,  $d 2$  ,  $d 3$  ) に変換される。次に、直交信号発生部 2 2 により、4 ビットパラレルデータのうち、コントロール信号の値 (  $= K$  ) に基づいて、3 (  $= K - 1$  ) ビットデータ (  $d 0$  ,  $d 1$  ,  $d 2$  ) により 8 (  $= 2^{K-1}$  ) つの直交信号である直交符号の中から選択された 1 つの直交信号が発生される。

E X O R 回路 2 3 は、直交信号発生部 2 2 より得られた直交信号と、4 ビットパラレルデータの中の残りの 1 ビットデータ (  $d 3$  ) との間で乗算処理を行うことで極性操作を実行し、陪直交信号を生成し外部へ出力する。

この実施の形態 1 の可変速度伝送方法および可変速度伝送装置では、直交符号を得るため W a l s h 関数符号系列を用いる。この場合、4 ビ

ットパラレルデータ  $d_0 \sim d_3$  の値により、第 11 図の (b) に示す Walsh 関数系列  $W_8(n)$  ( $n = 0 \sim 7$ ) が直交信号として出力される。即ち、4 ビットパラレルデータの中の 3 ビット ( $d_0, d_1, d_2$ ) の値により、1 つの関数系列を選択できるので、系列長 8 の Walsh 関数系列が 8 種類生成されることになる。参照符号  $W_8$  は、系列長が 8 の Walsh 関数を示すものであり、括弧内の数字  $0 \sim 7$  は、関数番号を示す。直交信号として選択された Walsh 関数系列は、4 ビットパラレルデータの残りの 1 ビットデータ ( $d_3$ ) の値に従って反転あるいは非反転され、結果が陪直交信号として出力される。従って、陪直交信号は、系列長 8 の符号系列から構成され、4 ビットの情報を含んでいることになる。

尚、デジタル値の反転、非反転操作は、0, 1 の 2 値表示の場合は、排他的論理和ゲートが行い、+1, -1 の場合は乗算器が行う。ここでは 0, 1 の 2 値表示を用いて説明を行っている。また、以下の説明では、Walsh 関数系列の最初から最後まで持続時間を周期と呼び、Walsh 関数を構成する符号の間隔を符号間隔、符号間隔の逆数を符号速度と呼ぶ。

直交信号として、Walsh 関数を使用する場合、第 11 図の (c) に示す直交信号発生部 22 は、符号速度 ( $= 1 / T_{mc}$ ,  $T_{mc}$ : 符号間隔) の  $1/2$ ,  $1/4$ ,  $1/8$  の速度のクロック 225, 226, 227 と、入力データ  $d_0, d_1, d_2$  との論理積演算を行う AND 回路 221 ~ 223、および 3 つの AND 回路 221 ~ 223 の出力の排他的論理和演算を行う EXOR 回路 224 から構成されている。符号速度のクロックは、ハードウェアの構成上不可欠のクロックであり、その  $1/2$ ,  $1/4$ ,  $1/8$  の速度のクロックは、基本クロックをカウンタ等の分周回路により生成する。



直交信号発生部 22 は、Walsh 関数を選択的に選択し直交信号を生成できる。Walsh 関数は、 $2^k$  行  $\times$   $2^k$  列のアダマール行列  $H(N)$  の行ベクトルとして定義され、 $2^{k-1}$  行  $\times$   $2^{k-1}$  列のアダマール行列  $H(N/2)$  を繰り返した  $[H(N/2), H(N/2)]$  および反転させて繰り返した  $[H(N/2), H^*(N/2)]$  から次数をあげて拡大的に作成される。ここで記号  $*$  は反転行列を示している。

基準となる  $H_1$  は、第 1 行が  $[0, 0]$ 、第 2 行が  $[0, 1]$  であり、それぞれ、 $W_2(0)$ 、 $W_2(1)$  に対応する。 $H_2$  は、 $H_1$  から  $[H_1, H_1]$ 、 $[H_1, H^*_1]$  のように作成される。この結果、 $[0000]$ 、 $[0101]$ 、 $[0011]$ 、 $[0110]$  の 4 つの行ベクトルが得られ、それぞれ  $W_4(0) \sim W_4(3)$  のそれぞれに対応する。同様の手法で作成された  $W_8(0) \sim W_8(7)$  が、第 11 図の (b) に示されている。ここで、 $W_8(0)$  と  $W_8(1)$ 、 $W_8(2)$  と  $W_8(3)$ 、 $W_8(4)$  と  $W_8(5)$ 、 $W_8(6)$  と  $W_8(7)$  とを比較すると、最下位ビットから見て奇数番目のビットと直後の偶数番目のビットが同一か反転かに分類される。

同一なのは、 $W_8(0)$ 、 $W_8(2)$ 、 $W_8(4)$ 、 $W_8(6)$  であり、反転しているのは、 $W_8(1)$ 、 $W_8(3)$ 、 $W_8(5)$ 、 $W_8(7)$  である。このように同一か、反転しているかの判断は、第 11 図の (b) に示すデータの最下位ビット  $d_0$  の値に対応している。即ち、最下位ビット  $d_0$  が 0 ならば同一であり、最下位ビット  $d_0$  が 1 ならば反転となる。1 ビットごとの反転は、符号速度の  $1/2$  クロック 225 で実現される。そして、これを採用するか否かは最下位ビット  $d_0$  に依存しており、論理積回路である AND 回路 221 を介して実現される。

最下位ビットから 2 ビットずつ 4 つのペアに分割した場合、 $W_8(0)$  と  $W_8(2)$ 、 $W_8(1)$  と  $W_8(3)$ 、 $W_8(4)$  と  $W_8(6)$ 、

W 8 ( 5 ) と W 8 ( 7 ) とをそれぞれ比較すると、W 8 ( 0 ) 、 W 8 ( 1 ) 、 W 8 ( 4 ) 、 W 8 ( 5 ) は 2 連ビットが同一であり繰り返されているのに対して、W 8 ( 2 ) 、 W 8 ( 3 ) 、 W 8 ( 6 ) 、 W 8 ( 7 ) は 2 連ビットが反転して繰り返されている。この同一か反転かの判断は、第 1 1 図の ( b ) に示すデータの第 2 ビット d 1 の値に対応している。即ち、第 2 ビット d 1 が 0 ならば同一であり、第 2 ビット d 1 が 1 ならば反転となる。2 ビット単位の反転は符号速度の  $1/4$  クロック 2 2 6 で実現される。そして、これを採用するか否かは第 2 ビット d 1 に依存しており、論理積回路である A N D 回路 2 2 2 を介して実現される。

最下位ビットから 4 ビットずつの系列が同一で連続するか、反転して連続するかは第 3 ビット d 2 の極性に対応している。4 ビット毎の系列の反転は、符号速度の  $1/8$  クロック 2 2 7 で実現される。そして、これを採用するか否かは第 3 ビット d 2 に依存しており、論理積回路である A N D 回路 2 2 3 を介して実現される。

これら、3 つのビット間隔での反転あるいは非反転した結果を E X O R 回路 2 2 4 を通すことで、その結果を包含した系列が W a l s h 関数として得られる。従って、E X O R 回路 2 2 4 から入力データビット d 0 、 d 1 、 d 2 に依存した、即ち d 0 、 d 1 、 d 2 により選択される W a l s h 関数系列が直交信号として出力される。

このように、直交信号発生部 2 2 は、生成が容易なクロックおよび入力データのみで特定の直交信号を生成できるので、これを組み込めば簡単なハードウェア構成でパワーアンプの線形性を保持できる機能を備えた送信機を実現できる。また、直交信号の生成が容易なので、陪直交信号発生部 4 - 1 , 4 - 2 における陪直交信号の生成も容易に実現できる。受信機においては、陪直交信号を復調する操作が必要であるが、送信機側で W a l s h 関数を直交関数として使用している場合、高速アダマ

ール変換 (Fast Hadamard Transformer: FHT) を行うことで、復調処理を容易に実行できるので、簡単なハードウェア構成で受信機を構成でき、復調処理を簡単にすることができる。

陪直交信号発生部の構成が第 6 図に示すようにシンボルマッピング部 24 を有する陪直交信号発生部の動作を第 12 図を用いて説明する。第 12 図 (a) に示されるように、シンボルマッピング部 24 は極性ビット  $d_3$  とその他の入力データ  $d_0, d_1, d_2$  との間で EXOR 演算を行った後、直交信号発生部 22 に入力される。その結果直交信号発生部 22 には  $d'_0, d'_2, d'_3$  が入力されることになる。入力データ  $d_0, d_1, d_2, d_3$  と陪直交信号の関係は第 12 図 (b) に示される。この場合のシンボルマッピングは全ビットが互いに反転関係にある入力ビットを同一の直交関数で極性が異なる陪直交信号に割り当てることを意味する。即ち、 $(d_0, d_1, d_2, d_3)$  が  $(0, 0, 0, 0)$  と  $(1, 1, 1, 1)$  はそれぞれ、 $W_8(0), -W(0)$  に割り当てられる。同様に  $(0, 0, 0, 1)$  と  $(1, 1, 1, 0)$  は、それぞれ  $W_8(1)$  と  $-W_8(1)$  に割り当てられる。陪直交信号は直交関数間の信号距離よりも同一直交関数で符号が異なる信号距離の方が大きくなるため、同一直交関数で極性の異なる信号間での誤る確率は最小となる。即ち、このようなマッピングを行うことにより、復調時に全てのビットを誤って復調する確率を最小とすることができる。

上記の例では、陪直交信号を得るため直交信号として Walsh 関数を選択して出力する直交信号発生部 22 を用いたが、この発明の可変速度伝送方法および可変速度伝送装置はこれに限定されることはなく、例えば、Walsh 関数の代わりに直交ゴールド信号系列等を直交関数に使用してもよい。

以上のように、この実施の形態 1 によれば、誤り訂正符号等の一連の

信号処理を行った後に、所定のデータレートを超える高速データに対してはシリアル／パラレル変換を行い陪直交信号に変換して2値系列のまま送信する。つまり、基本レートを超えるデータレートの信号伝送の場合において、陪直交信号を用いてデータ信号を2値系列の状態で拡散変調し伝送するので、高速のデータレートの場合でもパワーアンプ6の線形性を保持することができ、隣接周波数帯への干渉を与えることはなく高品質のデータ伝送を行うことができる。また、Walsh関数を用いるのでハードウェアの構成が容易で、復調処理も簡単な構成で実現できる。また、陪直交信号伝送は誤り率特性に優れているため、データ誤り率特性を向上することができ、一層の高品質のデータ伝送を行うことができる。

## 実施の形態2.

第4図～第11図に示した実施の形態1の可変速度伝送方法および可変速度伝送装置においては、誤り訂正符号等の一連の信号処理を行った後に、シリアル／パラレル変換を行い陪直交信号を生成して複数の信号系統を送信する場合を示したが、高速レートの信号送信処理を行う場合には、最初にシリアル／パラレル変換を行った後に、誤り訂正符号等の一連の信号処理を行う方式も考えられる。以下で説明する実施の形態2の可変速度伝送方法および可変速度伝送装置では、高速データレートの入力信号を最初にシリアル／パラレル変換を行った後に、誤り訂正符号等の一連の信号処理を行い、マルチコードを用いないで陪直交信号を生成して2値系列のまま高速データを送信する場合について説明する。

第13図は、この発明の実施の形態2による可変速度伝送装置を示すブロック図であり、図において、80はシリアル／パラレルコンバータ（以下、S／Pコンバータという：第2のS／Pコンバータ）であり、

ユーザデータおよびコントロールデータのデータ信号を複数のパラレル信号に変換する。81はフォワードエラー訂正部（Forward Error Correcting部：FEC部、信号処理手段）であり、その機能としては、誤り訂正符号（畳み込み符号）化処理、インタリーブ処理、およびパイロットシンボルやCRCの挿入したフレーミング処理等の一連の処理を行う。4は適応変調部、5はQPSKスプレッドであり、これらは第4図～第10図に示した実施の形態1の可変速度伝送装置のものと同一なので、同一の参照符号を用いてその説明を省略する。

第14図～第17図のそれぞれは、入力信号のデータレートが128 kbps、256 kbps、384 kbps、および512 kbpsのそれぞれの場合に対応したもので、第13図に示した実施の形態2の可変速度伝送装置の構成を示したブロック図である。

次に動作について説明する。

S/Pコンバータ80は、高速データレートの入力信号を入力し、パラレルデータ信号に変換する。FEC部81は、S/Pコンバータ80で変換された最大4つのパラレルデータ信号を入力し、誤り訂正符号化処理、畳み込み符号化処理、インタリーブ処理、パイロットシンボルやCRCの挿入したフレーミング処理等の一連の処理を行う。各FEC部81から出力されたパラレルデータ信号は、実施の形態1の可変速度伝送装置における適応変調部4内に入力される。その後の動作は、第4図～第10図に示した実施の形態1の可変速度伝送装置の適応変調部4、QPSKスプレッド5の動作と全く同様なので、ここではそれらの説明を省略する。

このように、実施の形態2の可変速度伝送方法および可変速度伝送装置では、最初にデータ信号をシリアル/パラレル変換し、得られたパラ

レルデータ信号に対して誤り訂正符号等の一連の信号処理を行い、マルチコードを用いずに陪直交信号を生成して複数の信号系統を送信する。

以上のように、この実施の形態2によれば、高速データレートの入力信号を最初にシリアル／パラレル変換を行って複数個の拡散符号チャンネルに分離された後に、誤り訂正符号等の一連の信号処理を行い、マルチコードを使用しないで陪直交信号を生成して複数の信号系統を送信する。従って、実施の形態1の場合と同じく、基本レート以上のデータレートの信号伝送の場合において、シンボルを拡散する部分でWalsh関数で得られる陪直交信号を用いてデータ信号を2値系列の状態に拡散変調し伝送するので、高速のデータレートの場合でもパワーアンプ6の線形性を保持することができ、隣接周波数帯に干渉を与えることなく高品質のデータ伝送を行うことができる。また、Walsh関数を用いるのでハードウェアの構成が容易で、復調処理も簡単な構成で実現できる。また、Walsh関数を用いて、陪直交信号を生成するのでデータ誤り率特性が向上し、より高品質のデータ伝送を行うことができる。尚、実施の形態では、拡散変調としてQPSKスプレッドを用いている。この場合、陪直交信号が2系統入力されているが、QPSKであるため、通常のQPSKと同様に包絡線変動は生じない。

#### 産業上の利用可能性

以上のように、この発明に係る可変速度伝送方法及び可変速度伝送装置は、データレートが高速の場合でも、パワーアンプの線形性を保持して、高品質のデータを伝送するのに適している。

## 請 求 の 範 囲

1. データ信号を拡散符号系列を用いて拡散変調して送信する可変速度伝送装置であって、前記データ信号の伝送レートが所定の伝送レート以上の場合、陪直交信号を用いて前記データ信号を2値系列の状態に拡散変調し、伝送する手段を備えたことを特徴とする可変速度伝送装置。

2. データ信号に対し誤り訂正符号化処理等の一連の信号処理を行う信号処理手段と、前記信号処理手段の出力に対してシリアル／パラレル変換を行う第1のシリアル／パラレルコンバータとをさらに備え、陪直交信号を用いて前記データ信号を2値系列の状態に拡散変調し伝送する手段は、前記第1のシリアル／パラレルコンバータから出力されるパラレル出力信号に対し、陪直交信号を用いて2値系列の状態に拡散変調し伝送することを特徴とする請求の範囲第1項記載の可変速度伝送装置。

3. データ信号をシリアル／パラレル変換する第2のシリアル／パラレルコンバータと、前記第2のシリアル／パラレルコンバータから出力されるパラレルデータ信号のそれぞれに対して設けられ、所定の誤り訂正符号化等の一連の信号処理を行う信号処理手段とをさらに備え、陪直交信号を用いて前記データ信号を2値系列の状態に拡散変調し伝送する手段は、前記信号処理手段から出力される出力信号に対し拡散変調し伝送することを特徴とする請求の範囲第1項記載の可変速度伝送装置。

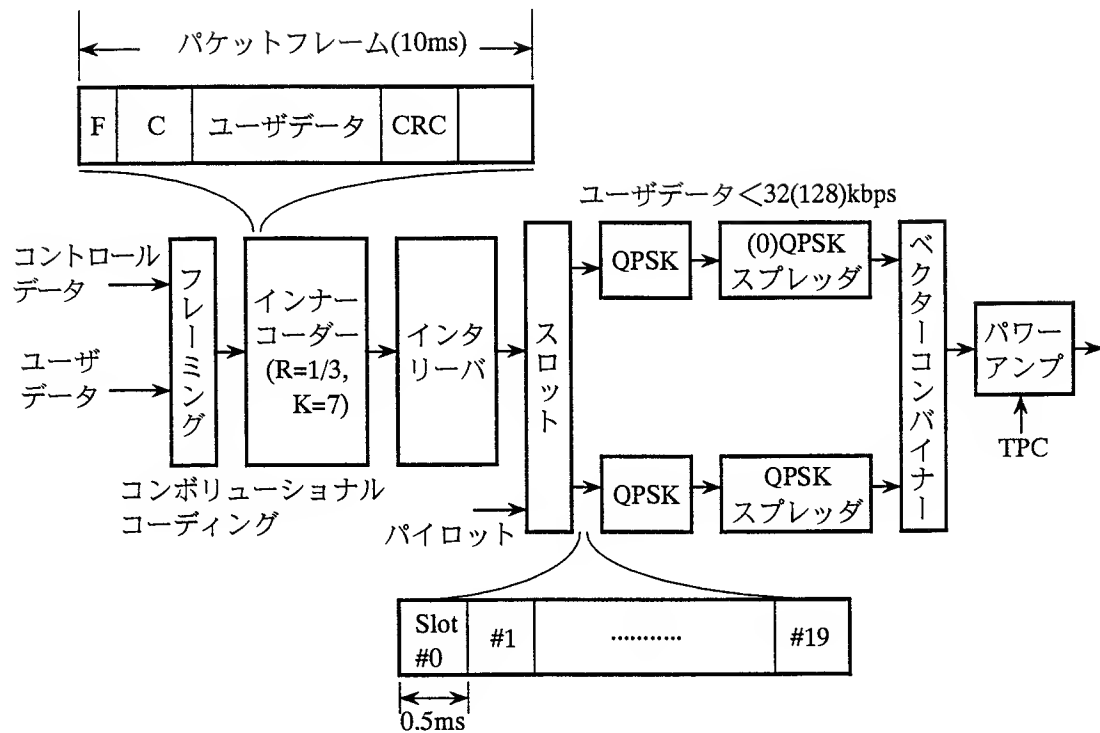
4. 陪直交信号を用いてデータ信号を2値系列の状態に拡散変調し伝送する手段は、Walsh関数を用いて前記陪直交信号を生成することを特徴とする請求の範囲第1項記載の可変速度伝送装置。

5. データ信号を拡散符号系列を用いて拡散変調して送信する可変速度伝送方法であって、前記データ信号の伝送レートが所定の伝送レート以上の場合は、陪直交信号を用いて前記データ信号を2値系列の状態で拡散変調し、伝送することを特徴とする可変速度伝送方法。

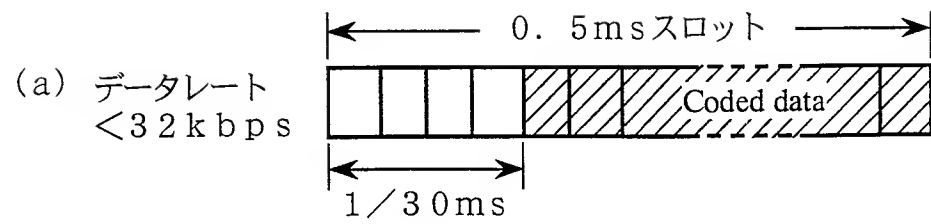
6. 陪直交信号を得るためにWalsh関数を用いることを特徴とする請求の範囲第5項記載の可変速度伝送方法。



## 第1図

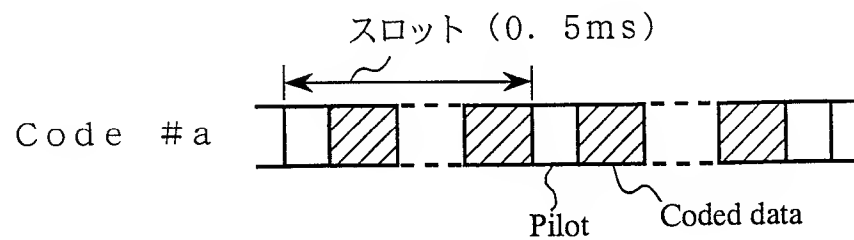


## 第2図

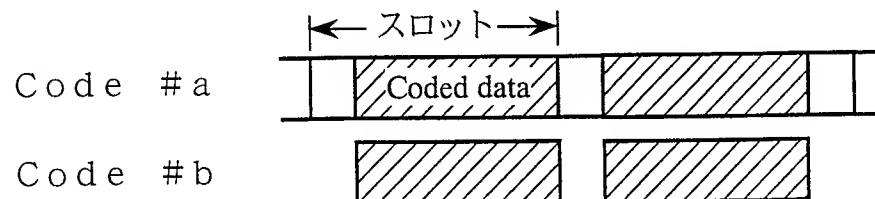


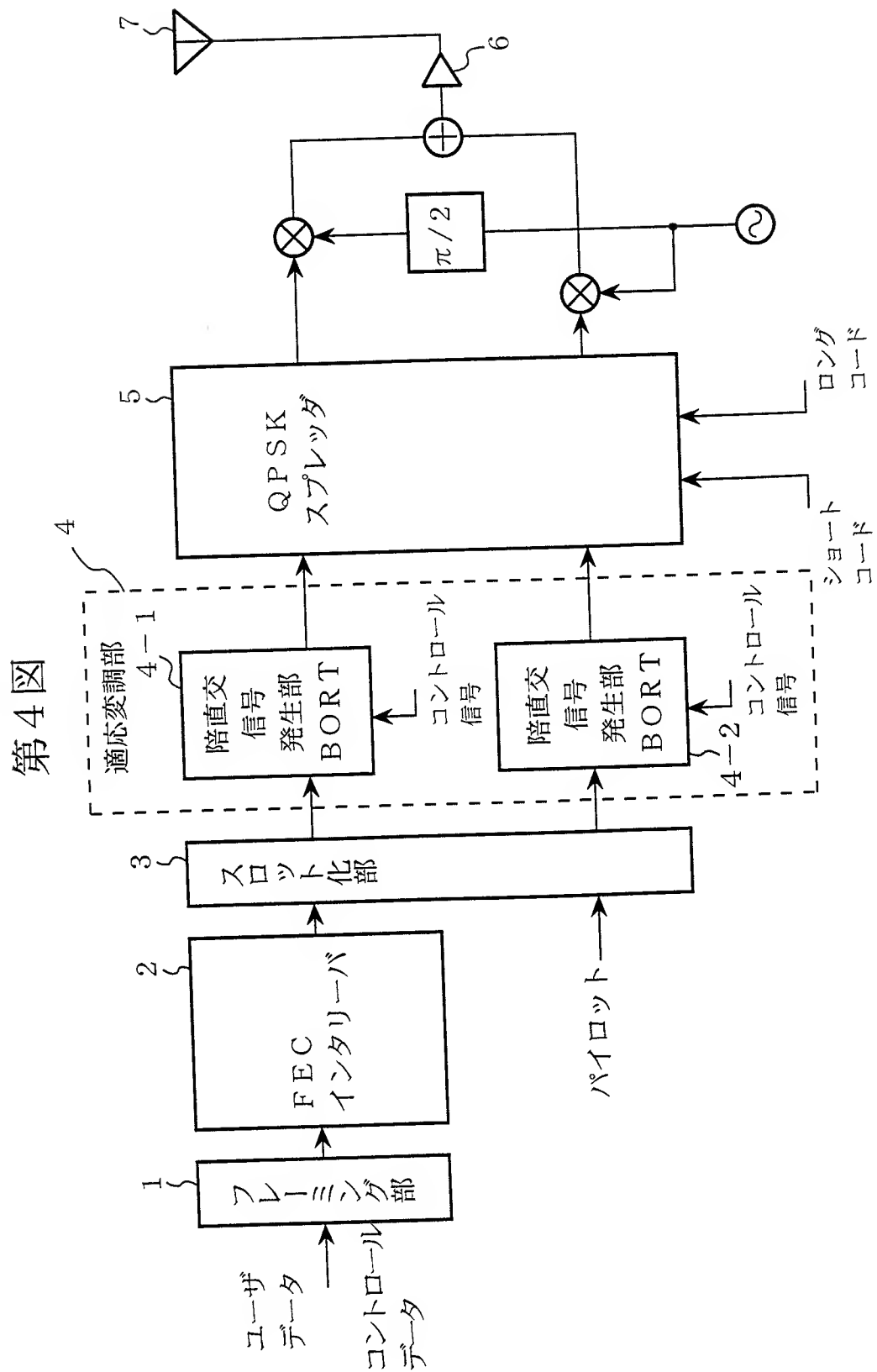
## 第3図

(a) データレート  
 $< 32 \text{ (128) kbps}$

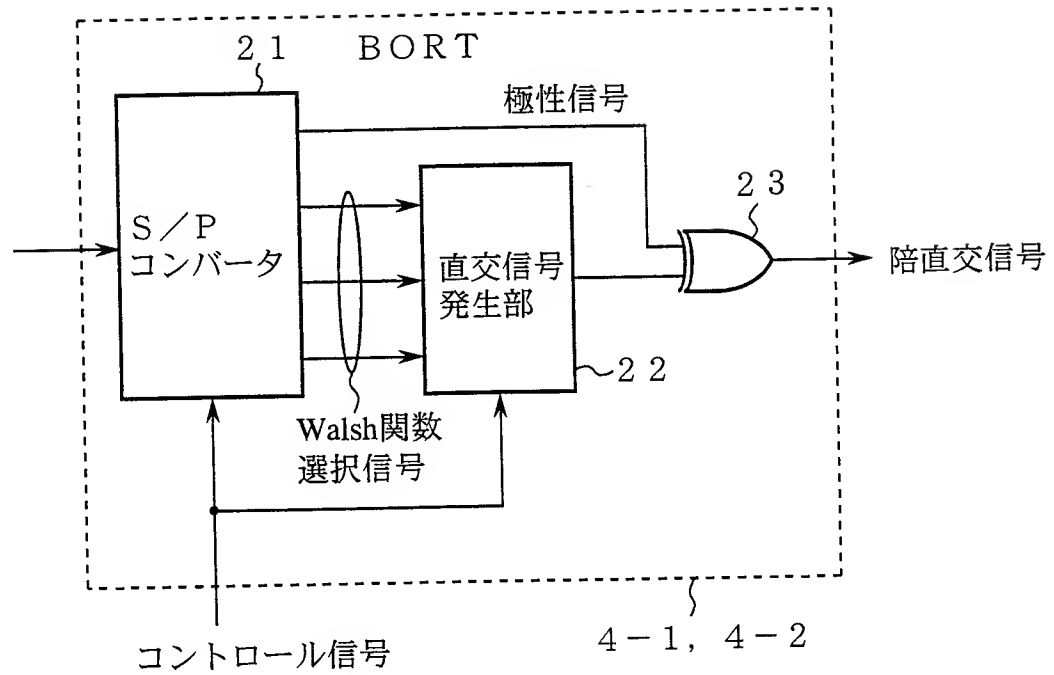


(b) データレート  
 $> 32 \text{ (128) kbps}$

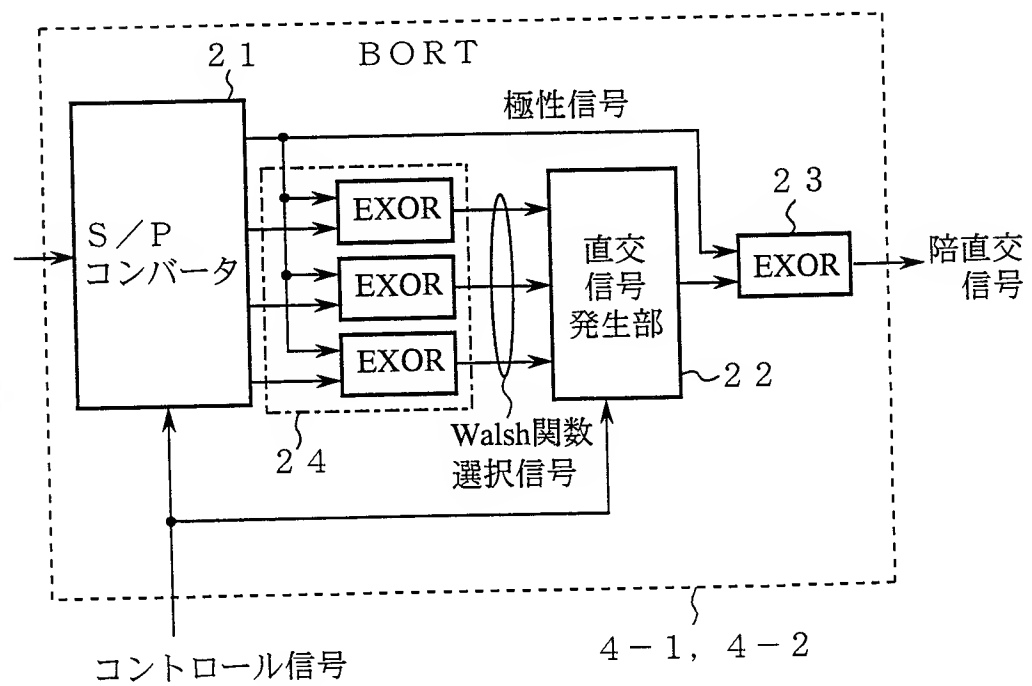




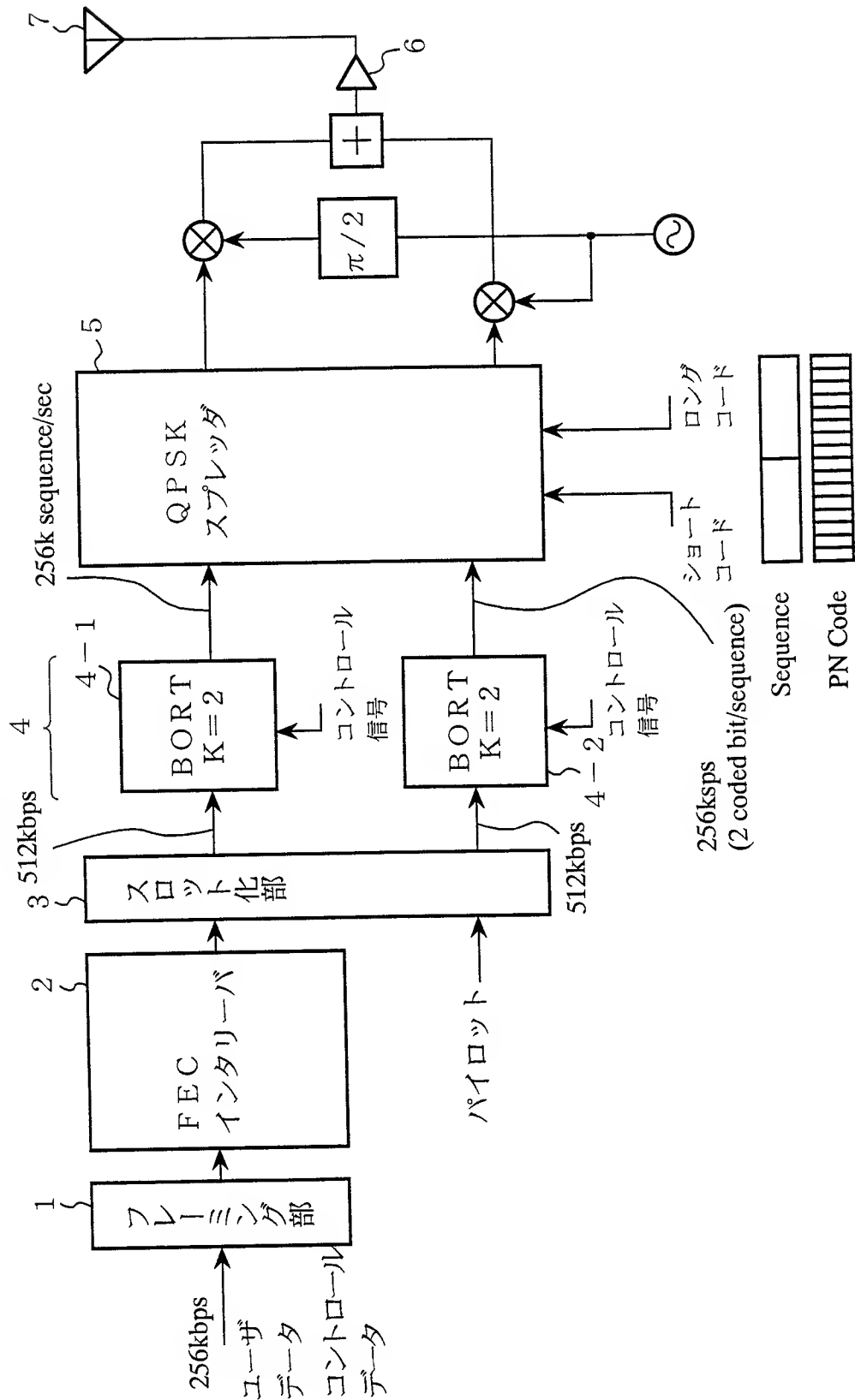
第5図



第6図

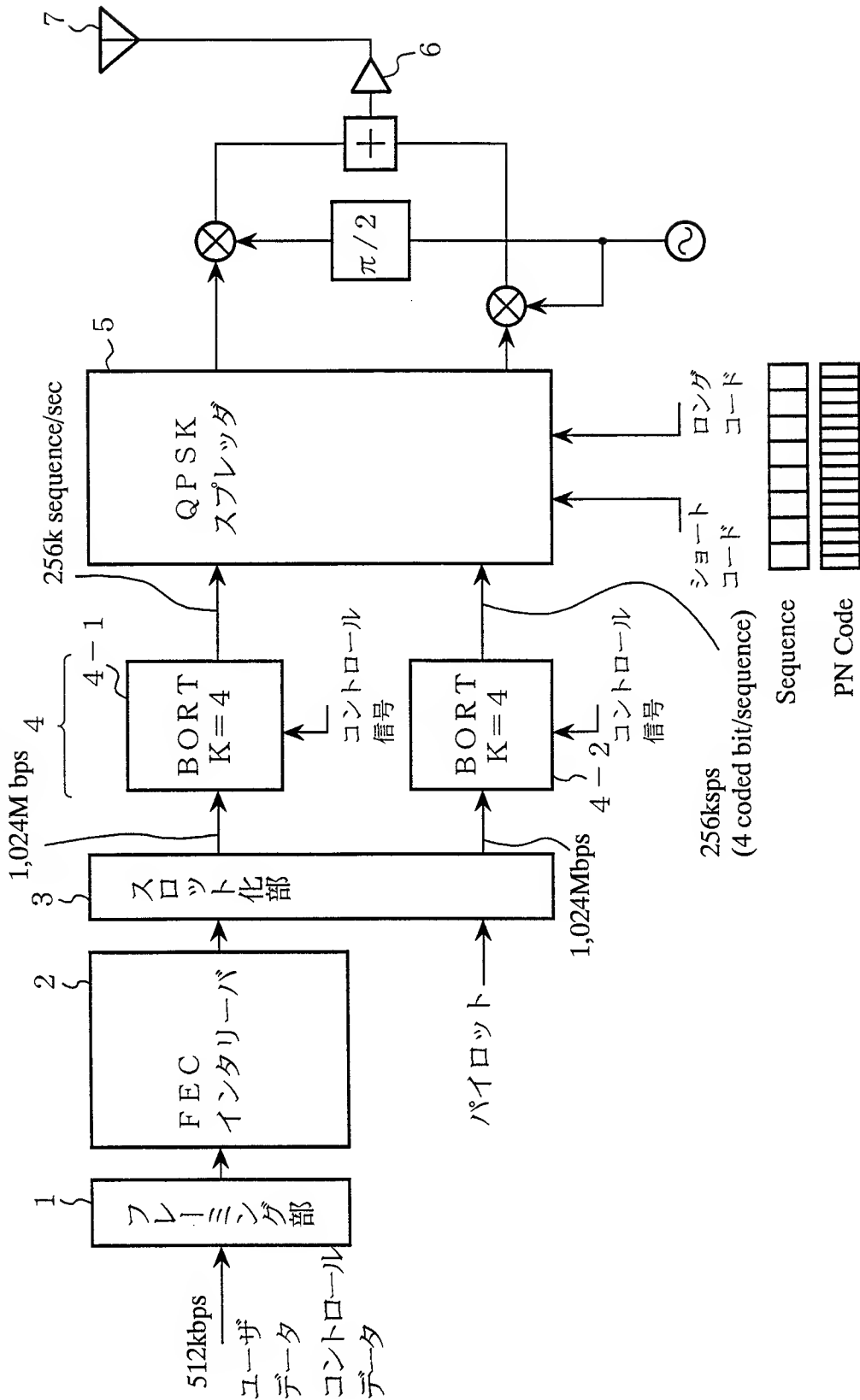


第7図

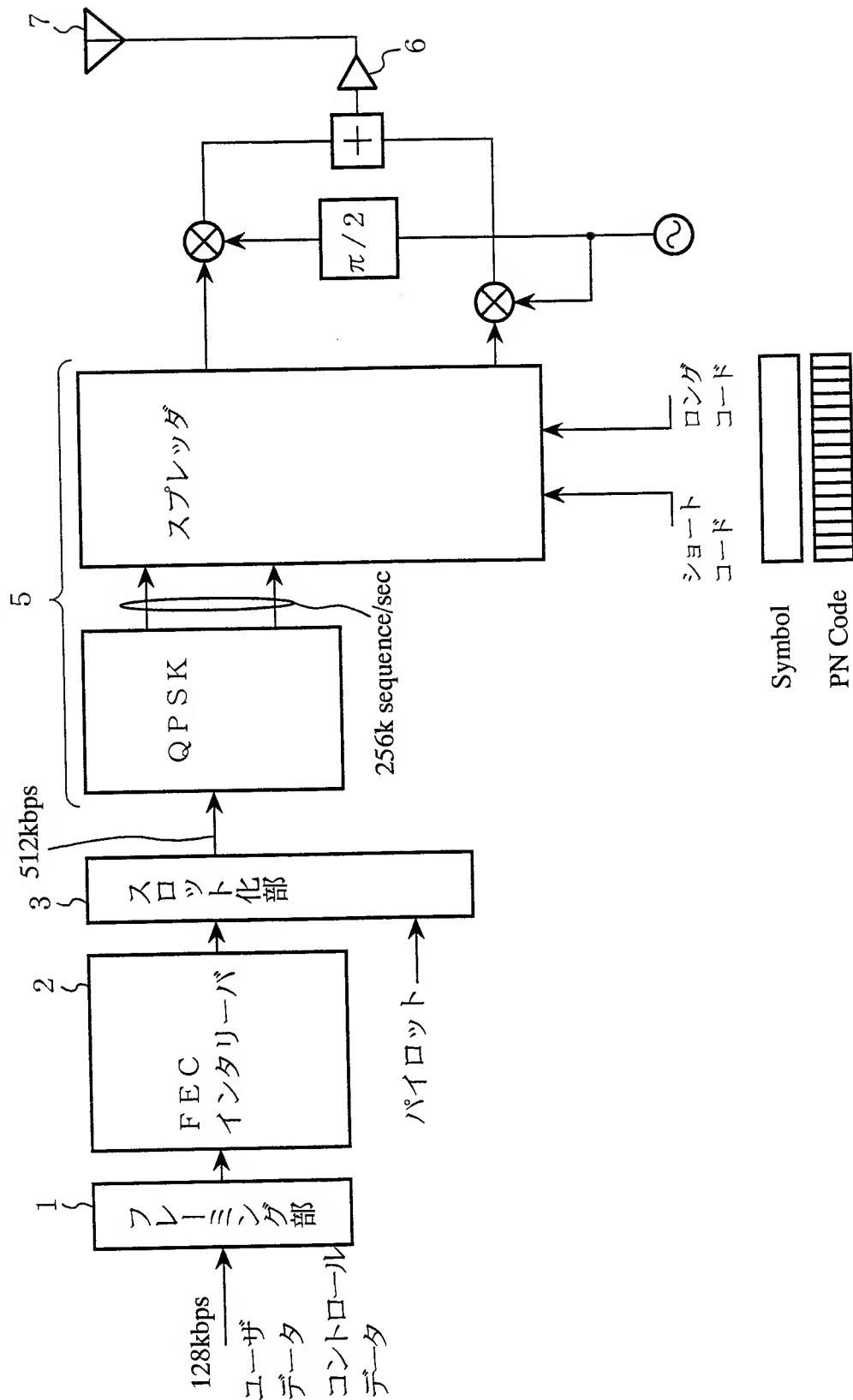




第9図

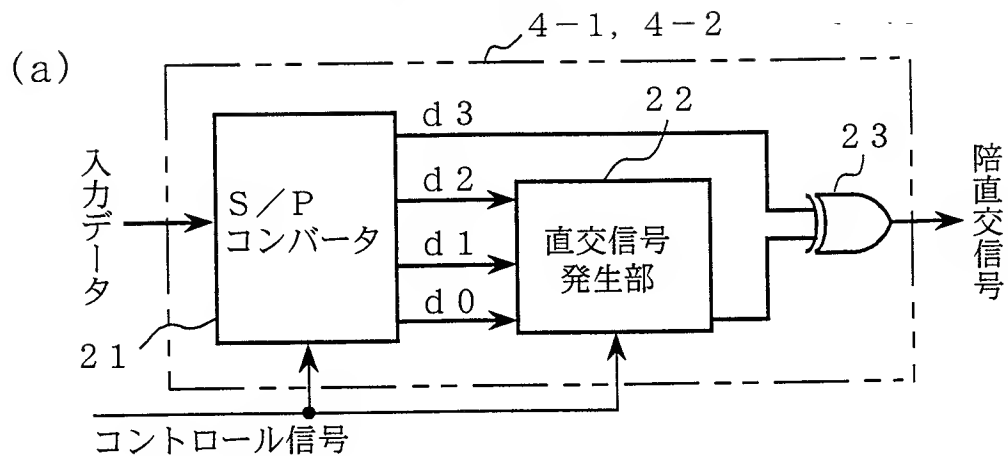


第10図



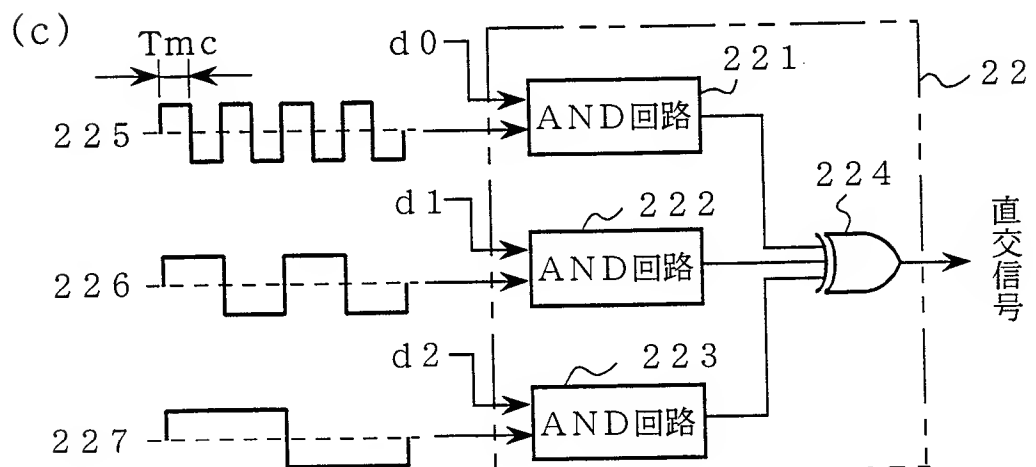


## 第11図

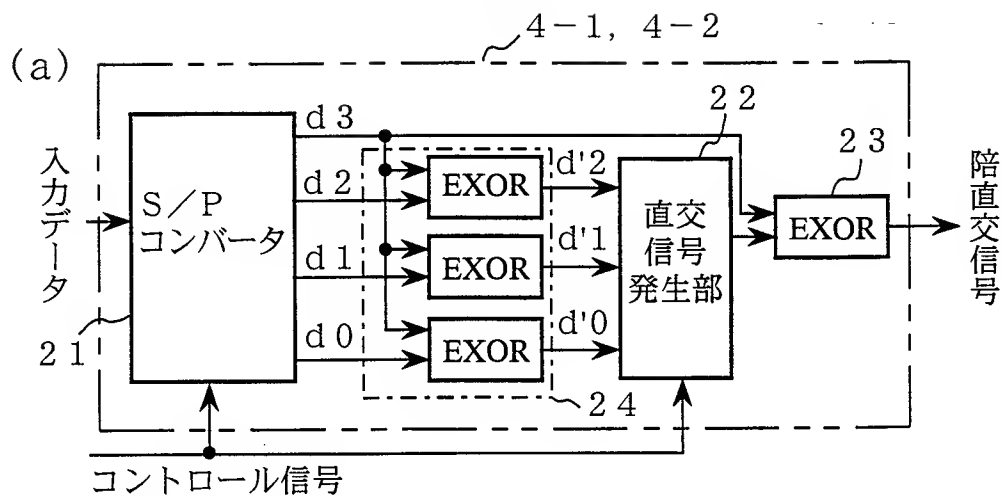


(b)

d3	d2	d1	d0	Code Seq. (陪直交信号)
0	0	0	0	W8 (0) 00000000
0	0	0	1	W8 (1) 01010101
0	0	1	0	W8 (2) 00110011
0	0	1	1	W8 (3) 01100110
0	1	0	0	W8 (4) 00001111
0	1	0	1	W8 (5) 01011010
0	1	1	0	W8 (6) 00111100
0	1	1	1	W8 (7) 01101001
1	0	0	0	-W8 (0) 11111111
1	0	0	1	-W8 (1) 10101010
1	0	1	0	-W8 (2) 11001100
1	0	1	1	-W8 (3) 10011001
1	1	0	0	-W8 (4) 11110000
1	1	0	1	-W8 (5) 10100101
1	1	1	0	-W8 (6) 11000011
1	1	1	1	-W8 (7) 10010110



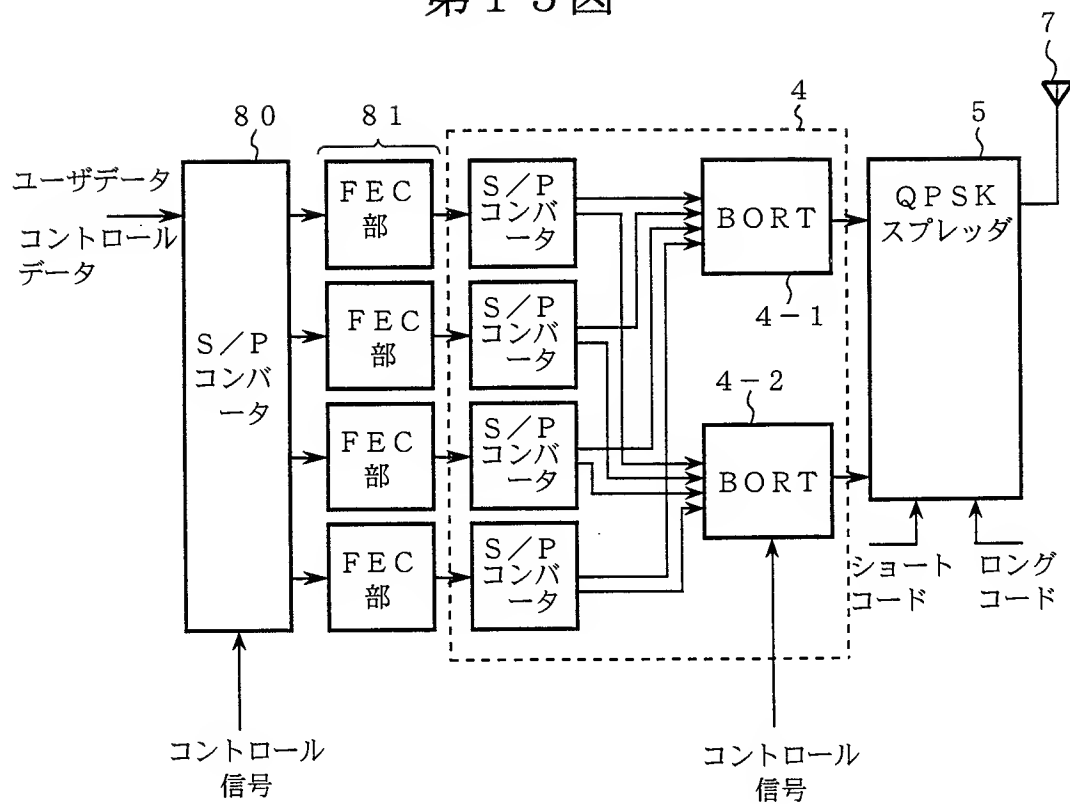
## 第12図



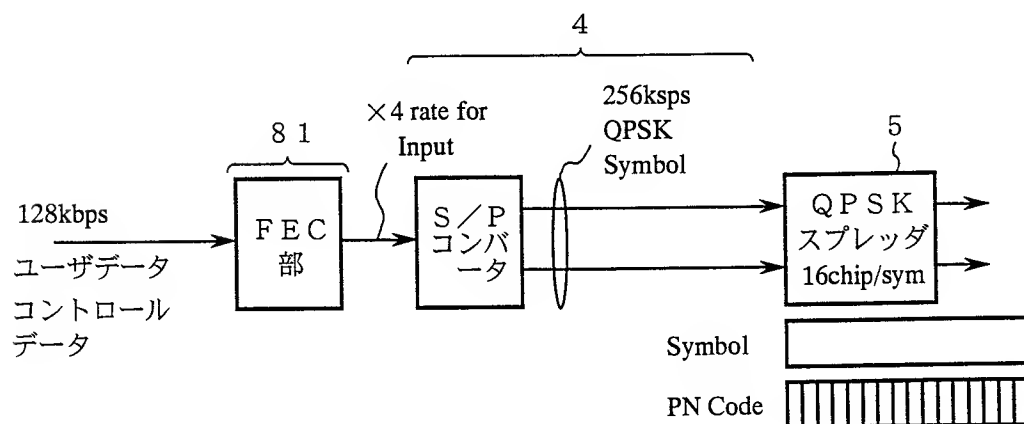
(b)

d3	d2	d1	d0	Code Seq. (陪直交信号)
0	0	0	0	W8 (0) 00000000
0	0	0	1	W8 (1) 01010101
0	0	1	0	W8 (2) 00110011
0	0	1	1	W8 (3) 01100110
0	1	0	0	W8 (4) 00001111
0	1	0	1	W8 (5) 01011010
0	1	1	0	W8 (6) 00111100
0	1	1	1	W8 (7) 01101001
1	0	0	0	-W8 (7) 10010110
1	0	0	1	-W8 (6) 11000011
1	0	1	0	-W8 (5) 10100101
1	0	1	1	-W8 (4) 11110000
1	1	0	0	-W8 (3) 10011001
1	1	0	1	-W8 (2) 11001100
1	1	1	0	-W8 (1) 10101010
1	1	1	1	-W8 (0) 11111111

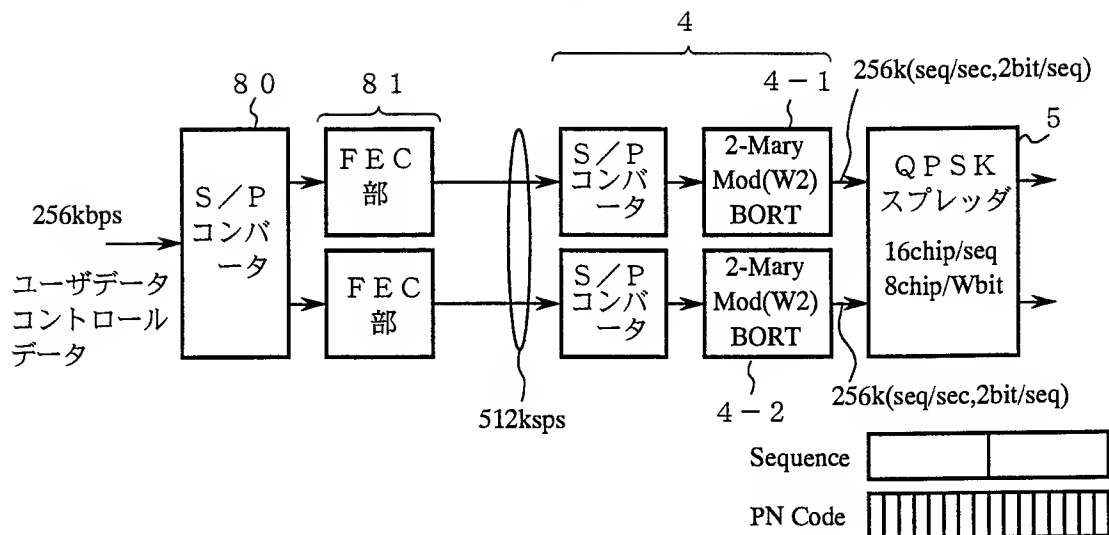
第13図



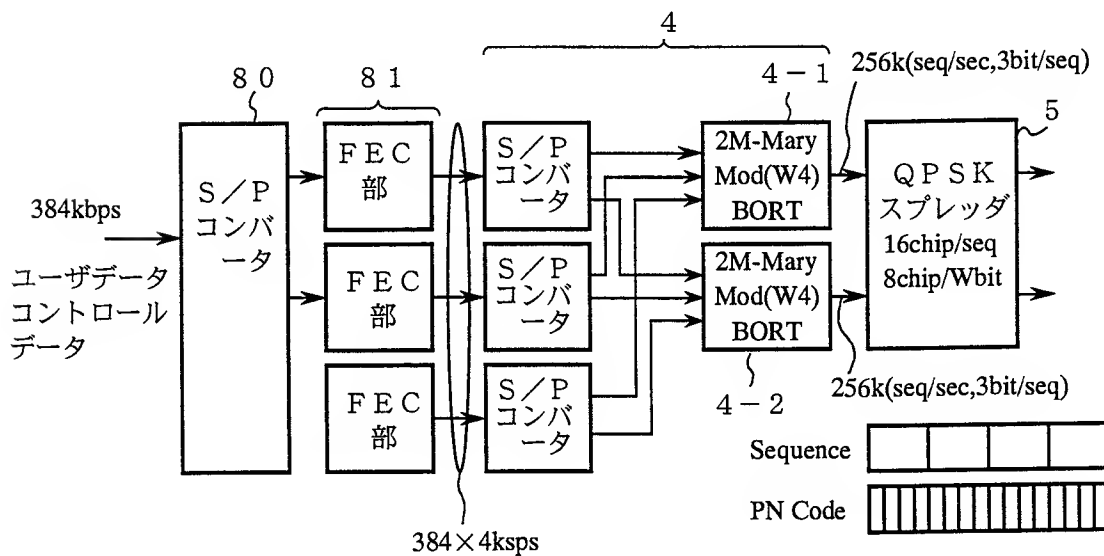
第14図



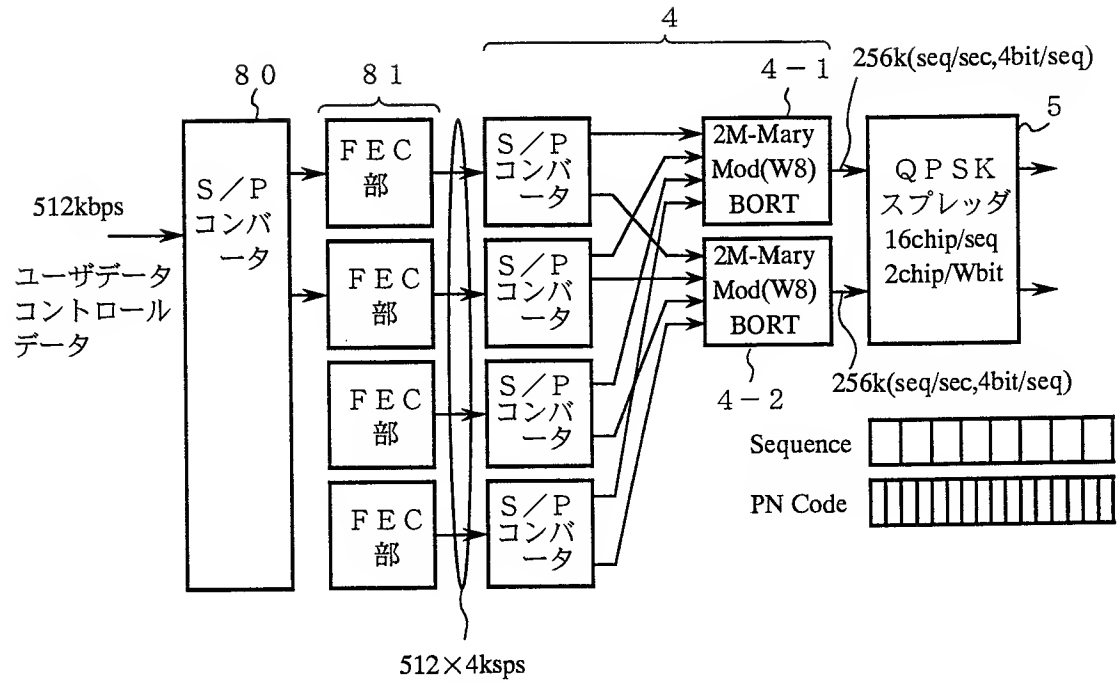
第 1 5 図



第 1 6 図



第 1 7 図



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/03224

## A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl<sup>6</sup> H04J13/00

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl<sup>6</sup> H04J13/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho (Y1, Y2) 1926 - 1997 Jitsuyo Shinan Toroku  
 Kokai Jitsuyo Shinan Koho (U) 1971 - 1997 Koho (Y2) 1996 - 1997  
 Toroku Jitsuyo Shinan Koho (U) 1994 - 1997

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 6-501349, A (Qualcomm Inc.), February 10, 1994 (10. 02. 94), (Fig. 11) & WO, 92/00639	1 - 6
A	Hasegawa, et al. "Synchronous CDMA Performance of Binormal Modulation using Spread Series for Synchronization (in Japanese)", March 19, 1997 (19. 03. 97), Technical Paper of the Institute of Electronics and Communication Engineers of Japan, Vol. 96, No. 591, PP. 79-84	1 - 6

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

## \* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search

December 8, 1997 (08. 12. 97)

Date of mailing of the international search report

December 16, 1997 (16. 12. 97)

Name and mailing address of the ISA/

Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl <sup>6</sup> H04J13/00		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl <sup>6</sup> H04J13/00		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 (Y1, Y2) 1926-1997 日本国公開実用新案公報 (U) 1971-1997 日本国登録実用新案公報 (U) 1994-1997 日本国実用新案登録公報 (Y2) 1996-1997		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 6-501349, A (クアルコム・インコーポレーテッド), 10.02 . 1994 (FIG11) &WO92/00639	1-6
A	長谷川、他「同期用拡散系列を用いた陪直交変調方式の同期CDMA性能」、19 , 3月1997 (19.03.97) (社) 電子情報通信学会技術研究報告 Vol. 96 No. 591 PP79-84	1-6
<input type="checkbox"/> C欄の続きにも文献が列举されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 08.12.97	国際調査報告の発送日 16.12.97	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 石井 研一 電話番号 03-3581-1101 内線3555	5K 8124 印